

УДК 004.71

М.П. Мусієнко¹, Я.М. Крайник¹, С.В. Куценко²¹ Чорноморський державний університет імені Петра Могили, Миколаїв² Черкаський інститут пожежної безпеки імені Героїв Чорнобиля, Черкаси

ПІДВИЩЕННЯ ШВИДКОДІЇ LDPC-ДЕКОДЕРУ НА ОСНОВІ ОРГАНІЗАЦІЇ ПОДВІЙНОГО БУФЕРУ ВХІДНОГО ПОВІДОМЛЕННЯ

У статті досліджується проблема підвищення пропускної здатності частково паралельного LDPC-декодеру, що використовує нерегулярну матрицю перевірки парності. Запропоновано моделі організації пам'яті з використанням подвійного буферу збереження вхідного повідомлення та результатів обчислень для організації роботи частково паралельного декодера, розглянуті можливі варіанти практичної реалізації моделей. Запропонований підхід дозволив підвищити пропускну здатність декодеру та може використовуватися при реалізації декодерів, що працюють з різними типами матриць.

Ключові слова: LDPC-декодер, організація подвійного буферу.

Вступ

LDPC-коди (англ. Low Density Parity Check Codes – коди з низькою щільністю перевірок на парність) знайшли широке використання завдяки характеристикам пропускної здатності і можливості роботи в умовах значного зашумлення каналу передачі. Наприклад, вони є частиною стандартів високошвидкісної передачі даних, таких як 10-Gigabit Ethernet, DVB-S2, DVB-T2 тощо, що свідчить здатність забезпечення швидкості, яка перевищує 1 Гбіт/с.

LDPC-коди з нерегулярною структурою (матриця перевірки парності яких має різну вагу рядків і/або стовпців) дозволяють досягти кращих показників точності декодування при збільшенні шуму в каналі, у порівнянні з регулярними кодами. Проте нерегулярна структура розташування значущих елементів матриці робить апаратну реалізацію декодера складнішою, ніж у випадку регулярних кодів. Це пов'язано зі складністю організації відображення структури матриці на елементи декодеру в залежності від алгоритму декодування, наприклад, мінімальної суми. Вирішення проблем організації пам'яті, забезпечення паралельної обробки даних у процесі декодування тощо мають значний вплив на результуючу пропускну здатність декодеру. Часто через необхідність уникати колізій доступу до пам'яті деякі дії можна проводити лише послідовно, що зменшує швидкодію декодеру.

У випадку реалізації частково паралельного декодеру для матриці, що має нерегулярну структуру, складно забезпечити пропускну здатність на рівні декодерів на основі регулярних кодів. Тому в такому випадку навіть незначне підвищення швидкодії декодеру відіграє важливу роль, оскільки відносний приріст може бути значним.

Аналіз попередніх досліджень. Нерегулярним LDPC-кодам приділяється значно менша увага у

порівнянні з регулярними LDPC-кодами саме через їх потенційну меншу пропускну здатність, а також складність апаратної реалізації, як для повністю паралельних декодерів, так і для частково паралельних.

У роботі [1] пропонується рішення з перестановкою рядків та можливою перестановкою стовпців матриці перевірки парності, що дозволяє спростити розташування значущих елементів для реалізації декодеру. Проте, перестановка рядків не може забезпечити приросту пропускної здатності для наявної архітектури, а перестановка колонок є заходом, що вимагатиме додаткових операцій при запису/видачі повідомлення, що також потребуватиме додаткових комбінаційних ресурсів та ресурсів пам'яті. У роботі [2] описана реалізація частково паралельного LDPC-декодеру з реалізацією у спеціалізованій мікросхемі, що забезпечує пропускну здатність на рівні кількох сотень Мбіт/с. Проте, такий декодер може працювати лише з однією визначеною матрицею, а ступінь паралельності запропонованої реалізації наближається до повністю паралельних декодерів, що не завжди прийнятно за умови обмеженості апаратних ресурсів.

Формулювання мети дослідження. Таким чином, нерегулярні LDPC-коди та апаратні реалізації декодерів на їх основі все ще потребують подальшого вивчення та нових методів та моделей організації апаратної реалізації. В роботі основна увага приділяється підвищенню пропускної здатності безпосередньо на етапі декодування. В той же час, процес підготовки до декодування є також важливим і має значний вплив на пропускну здатність декодеру. Тому даний ресурс не можна недооцінювати як можливість підвищення швидкодії декодеру. **Метою даної роботи** є підвищення пропускної здатності частково паралельного LDPC-декодеру, що використовує при декодуванні нерегулярні матриці перевірки парності, за рахунок розробки моделі організації подвійного буферу для збереження та обробки повідомлення в процесі декодування.

Основна частина

Перед початком декодування виконується запис вхідного повідомлення в пам'ять. Після завершення декодування слідує стадія видачі декодованого повідомлення. При цьому при підготовці до наступної ітерації необхідно очікувати запису нового повідомлення. Стадія очікування перед декодуванням кожного повідомлення, за умови, що дані до декодера можуть надходити постійно, значно зменшує пропускну здатність LDPC-декодера. Таким чином, саме стадія очікування є вузьким місцем у роботі декодера.

На основі виразу для обчислення пропускну здатності декодера [3] визначимо пропускну здатність з урахуванням необхідності очікування запису повідомлення:

$$T = F \cdot L / (I \cdot N + L / W), \quad (1)$$

де T – пропускну здатність, Мбіт/с; F – тактова частота роботи декодера, МГц; L – довжина повідомлення, біт; I – кількість циклів за ітерацію; N – кількість ітерацій; W – розмір записуваного слова, біт. Другий доданок у знаменнику характеризує затрати на запис повідомлення.

Для максимального зменшення часових затрат пропонується використання моделі організації пам'яті декодера з подвійним буфером для збереження та обробки повідомлення. Вона полягає у тому, що виконується дублювання пам'яті запису повідомлення та результатів ітерації (Memory_Z) та пам'яті для збереження проміжних обчислень (Memory_{Ztemp}). Таке рішення дозволяє після запису першого повідомлення одразу записати дані для наступного циклу декодування. Таким чином, очікування запису має місце лише для першого повідомлення, а для наступних повідомлень декодування може розпочатися одразу після завершення декодування попереднього повідомлення. В цей же час розпочинається запис у інший буфер для проведення наступного циклу.

При цьому можливі різні варіанти реалізації подвійного буферу. Це може виконуватися за допомогою дублювання існуючих блоків (додаються нові блоки пам'яті) або за рахунок подвоєння розмірів існуючої пам'яті. Крім цього, для першого варіанту також можливі різні реалізації вибірки даних.

Розроблена модель організації подвійного буферу для випадку дублювання пам'яті з вибіркою значень на основі окремих мультиплексорів та демультимплексорів для кожного запиту представлена на рис. 1. Керуючий блок (control unit) містить внутрішній сигнал, selector, відповідно до якого відбуваються запити до пам'яті. Даний сигнал слугує сигналом вибору для мультиплексорів вхідних та демультимплексорів вихідних сигналів. Відповідно до його значення сигнали керуючого блоку декодера для доступу до пам'яті подаються лише на одну з пар виходів Z та $Ztemp$ та зчитуються для обробки

лише з обраної пари вхідів. Варто зауважити, що такі комбінаційні логічні елементи необхідні при кожній операції зчитування або запису. Тому основним недоліком даної моделі є те, що сигнал вибору необхідно розвести для великої кількості елементів. Це впливає на результуючу пропускну здатність, оскільки зменшується максимальна частота роботи декодера. Даний недолік проявляється при реалізації декодера.

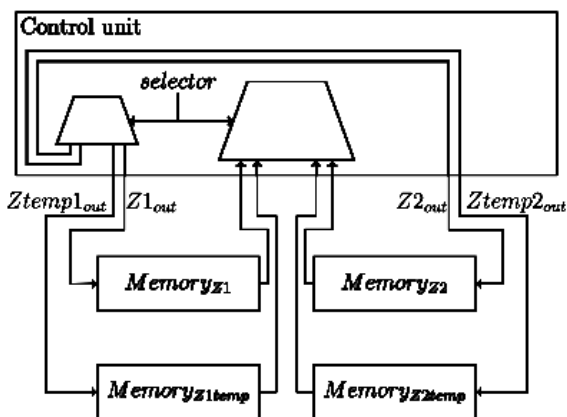


Рис. 1. Організація подвійного буферу на основі дублювання пам'яті з окремими елементами вибірки

Іншим варіантом організації подвійного буферу є модель з дублюванням пам'яті (рис. 2). У ній сигнали управління вибіркою перенесені з керуючого блоку в блок керування пам'яті, що об'єднує у своєму складі блоки пам'яті, а також містить комбінаційну логіку для управління сигналами пам'яті. На відміну від попереднього випадку, контролюючий блок не містить сигналу вибору пам'яті, який перенесений у блок декодера верхнього рівня. Також використовується лише одна пара мультиплексор/демультиплексор для прийому/видачі повідомлень, що дозволяє зменшити використання логічних ресурсів. Використання пам'яті залишається таким самим, як і в попередньому випадку.

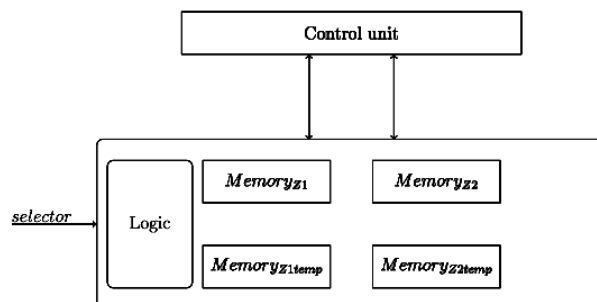


Рис. 2. Представлення моделі організації подвійного буферу декодера на основі окремого блоку

Відповідно до рисунку, блок комбінаційної логіки виконує ті самі функції, що мультиплексор та демультимплексор на рис. 1. До нього надходять управляючі сигнали від контролюючого блоку, а також сигнал вибору, відповідно до яких виконується запис/зчитування з необхідних блоків пам'яті.

Третій варіант організації подвійного буферу передбачає, що об'єм пам'яті існуючих блоків збільшується в 2 рази. Розроблена модель організації подвійного буферу на основі подвоєння об'єму пам'яті представлена на рис. 3.

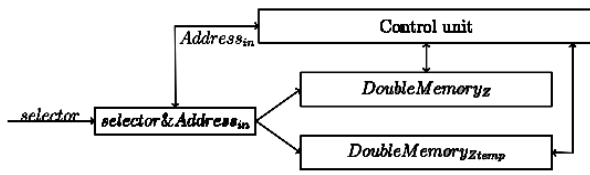


Рис. 3. Представлення моделі організації подвійного буферу на основі подвоєння об'ємів пам'яті

Сигнал вибору в даному випадку відіграє роль старшого розряду адреси. Для реалізації даної моделі необхідно, щоб виконувались умови відносно розмірів вхідного повідомлення, W , та пам'яті $Length_{memory}$. Розмір пам'яті в даному випадку визначається як

$$Length_{memory} = 2^{\lceil \log_2 W \rceil + 1}. \quad (2)$$

Розмір пам'яті обраний саме таким чином через те, що, якщо розглянути двійкове представлення адреси при такому варіанті, то сигнал вибору пам'яті, що належить керуючому блоку верхнього рівня декодера, визначатиме половину пам'яті, в якій необхідно проводити операцію, тобто, стає частиною сигналу адреси. Він конкатенується до поданого сигналу адреси як старший біт. Оскільки сигнал може приймати значення 0 або 1, то таким чином відбуватиметься переключення з однієї половини пам'яті на іншу та навпаки. Витрата додаткових логічних ресурсів при цьому зведена до мінімуму, а використання пам'яті є таким самим, як і для попередніх випадків.

На рис. 3 представлена модель подвійної буферизації на основі подвоєння пам'яті.

На рис. 3, на відміну від попередніх, окремо виведений сигнал адреси для пам'яті, який конкатенується з сигналом вибору перед подачею порт адреси пам'яті.

Варто також зазначити, що операція конкатенації біту вибору пам'яті в даному випадку є асинхронною з метою зменшення витрат на додаткові службові сигнали.

Таким чином, математичне представлення розробленої моделі можна записати таким чином:

$$\begin{aligned} Length_{memory} &= 2^{\lceil \log_2 W \rceil + 1}, \\ selector &= \begin{cases} 1, & \text{Iter mod } 2 = 1, \\ 0, & \text{Iter mod } 2 = 0; \end{cases} \end{aligned} \quad (3)$$

$$Address_{out} = selector \& Address_{in},$$

де $Iter$ – номер ітерації,

$Address_{in}$ – вхідне значення адреси;

$Address_{out}$ – результуюче значення адреси.

Реалізація запропонованих моделей подвійної буферизації для LDPC-декодера виконана для мікросхеми ПЛІС Altera сімейства Stratix IV.

Результати відносно тактової частоти представлені у табл. 1.

Таблиця 1

Тактова частота роботи декодера при різних варіантах реалізації подвійної буферизації

Варіант реалізації	I	II	III
Тактова частота, МГц	220	250	270

Усі запропоновані варіанти вирішують проблему очікування запису перед декодуванням відповідно до (1), тому вирішальним фактором при виборі рішення, що здатне забезпечити найбільшу пропускну спроможність є тактова частота, на якій може працювати декодер при обраному підході. Практична реалізація показала, що модель буферизації на основі подвоєння існуючого об'єму пам'яті для організації буферу переважає інші варіанти за параметром тактової частоти. Варто також зазначити, що в даному випадку використовується асинхронна комбінаційна логіка. Це пов'язано з тим, що кількість додаткових логічних ресурсів для організації подвійного буферу зводиться до мінімуму.

Висновки

У роботі представлені результати досліджень організації подвійної буферизації для декодування. Запропоновані моделі організації пам'яті, які дозволяють підвищити швидкодію декодерів для роботи з нерегулярними LDPC-кодами.

Також такі підходи можуть використовуватися для декодерів, що працюють з різними типами матриць для підвищення пропускну здатності. Представлені моделі подвійної буферизації реалізовані для мікросхем ПЛІС фірми Altera та визначено рішення, що забезпечує найбільшу швидкодію.

Список літератури

1. Guilloud, F. *Generic Architecture for LDPC Codes Decoding / Telecom ParisTech - July 2004.*
2. Shirani-Mehr, H., Mohsenin, T., Baas, B. *A Reduced Routing Network Architecture for Partial Parallel LDPC Decoders Signals, Systems and Computers (ASILOMAR), 2011 Conference Record of the Forty Fifth Asilomar Conference, Nov. 6-9, 2011.*
3. Zhang, K., Huang, X., Wang, Z. *High-Throughput Layered Decoder Implementation for Quasi-Cyclic LDPC Codes IEEE JOURNAL ON SELECTED AREAS IN COMMUNICATIONS, VOL. 27, NO. 6, AUGUST 2009.*

Надійшла до редколегії 25.09.2014

Рецензент: д-р техн. наук, проф. В.Я. Кутковецький, Чорноморський державний університет імені Петра Могили, Миколаїв.

**ПОВЫШЕНИЕ БЫСТРОДЕЙСТВИЯ LDPC-ДЕКОДЕРА
НА ОСНОВЕ ОРГАНИЗАЦИИ ДВОЙНОГО БУФЕРА ВХОДНОГО СООБЩЕНИЯ**

М.П. Мусиенко, Я.М. Крайнык, С.В. Куценко

В данной научной статье изучается проблема повышения пропускной способности частично параллельного LDPC-декодера, который использует нерегулярную матрицу проверки парности. Предложены модели организации памяти с использованием двойного буфера сохранения входного сообщения и результатов вычислений для организации работы частично параллельного декодера, рассмотрены возможные варианты практической реализации моделей. Такой подход позволил повысить пропускную способность декодера и может использоваться при реализации декодеров, которые работают с разными типами матриц.

Ключевые слова: LDPC-декодер, организация двойного буфера.

**RISING UP LDPC-DECODER THROUGHPUT
BASED ON INPUT MESSAGE DOUBLE BUFFER ORGANIZATION**

M.P. Musiyenko, Y.M. Krainyk, S.V. Kutsenko

This article investigates rising up throughput of partially parallel LDPC-decoder problem. The decoder uses irregular parity check matrix. Models of memory organization with double buffer for storing input message data and results of computations are provided. Possible cases of practical models implementation are considered. Proposed approaches allow to rise up throughput of decoder and can be used in decoder implementation for different types of matrix.

Keywords: LDPC-decoder, double buffer organization.