

## РЕКОНФИГУРАЦИЯ МОДУЛЯРНОГО ВЫЧИСЛИТЕЛЬНОГО УСТРОЙСТВА НА ОСНОВЕ НЕЙРОННЫХ СЕТЕЙ

д.т.н., проф. Н.И. Червяков, П.А. Сахнюк, Р.П. Гахов, А.В. Шапошников,  
Р.Н. Резеньков

В настоящее время вычислительные устройства широко применяются в системах и процессах управления, что выдвигает на первый план проблему обеспечения надежности их работы. Создать абсолютно надежные компоненты процессоров принципиально невозможно. Процессоры должны обеспечивать длительное достоверное функционирование при сбоях и отказах в оборудовании. Указанную проблему могут решать отказоустойчивые процессоры, способные продолжать функционирование при возникновении разнообразных отказов компонентов. Отказоустойчивые процессоры на два-три порядка более надежны, чем обычные. Избыточные отказоустойчивые системы делятся на системы с многократным резервированием, структурной избыточностью, гибридным резервированием и с постепенной деградацией. В системах с постепенной деградацией оставшиеся исправные каналы используются для обработки данных.

Весьма многообещающей для реализации систем с постепенной деградацией является арифметика в остатках, которая обеспечивает параллельную модульную структуру процессора. Под системой остаточных классов (СОК) понимают такую непозиционную систему счисления, в которой любое целое положительное число (представимы также дробные и отрицательные числа) представляется в виде набора остатков (вычетов) от деления представляемого числа на выбранные взаимно простые основаниями системы. В данной системе целое число  $X$  представляется набором остатков  $\alpha_1 = |X|_{p_1}$ ,  $\alpha_2 = |X|_{p_2}$ , ...,  $\alpha_n = |X|_{p_n}$  от деления числа  $X$  на заданные натуральные модули (основания)  $p_1, p_2, \dots, p_n$ .

В системе с основаниями  $p_1, p_2, \dots, p_n$  всякое число  $X$  из диапазона  $[0, P)$  единственным образом может быть представлено в виде остатков по выбранным взаимно простым основаниям  $X = (\alpha_1, \alpha_2, \dots, \alpha_n)$ . Если модули  $p_1, p_2, \dots, p_n$  попарно просты [1], то, согласно китайской теореме об остатках (КТО), это обеспечивает однозначность представления любых целых  $P$  чисел, образующих полную систему вычетов по модулю  $P$ , где

$$P = \prod_{i=1}^n p_i . \quad (1)$$

Заданной системе оснований однозначно соответствует система ортогональных базисов  $\mathbf{B}_1, \mathbf{B}_2, \dots, \mathbf{B}_n$ , таких что величина  $\mathbf{X}$  в позиционной системе счисления может быть представлена, как

$$\mathbf{X} = \left[ \sum_{i=1}^n \alpha_i \mathbf{B}_i \right]_p . \quad (2)$$

В [2] рассматриваются приложения теории чисел, и в частности, модулярной арифметики для построения алгоритмов цифровой обработки сигналов на основе нейронных сетей. Показано, что алгоритмы модулярной арифметики для цифровой обработки сигналов легко переносятся на нейронные структуры. На основе разработанных нейронных структур модулярной арифметики рассмотрены возможности аппаратной реализации вычислений в конечных кольцах современными нейрокомпьютерными средствами. В частности, для эффективного применения СОК были построены нейронные алгоритмы модулярной арифметики по произвольному модулю и по модулю чисел Ферма и Мерсенна. Основу первого составляет метод понижения разрядности числа. Основу второго нейросетевого алгоритма, реализующего арифметику по модулю чисел Ферма и Мерсенна, составляет использование свойств теории сравнения [3]. Таким образом, получена двухслойная однородная структура нейронной сети, реализующая модулярную арифметику при вычислениях в конечных кольцах. При этом процесс настройки входного сигнала содержит минимальное количество итераций, зависящее в общем случае от разрядности преобразуемого двоичного числа.

Арифметическое устройство (АУ) специализированного процессора СОК может быть выполнено в виде отдельных трактов по числу оснований и работающих независимо во времени, и которые могут быть оформлены как типовые элементарные звенья. То есть структура непозиционного процессора имеет модульную организацию по обработке, передаче и хранению информации. В качестве такого типового звена (модуля) примем нейронный алгоритм, реализующий модулярную арифметику при вычислениях в конечных кольцах по одному из оснований СОК. Совокупность элементарных звеньев по всем основаниям выбранной СОК  $p_i, i=1, 2, \dots, n$ , составляет основу АУ непозиционного процессора на основе нейронных сетей. Рассматриваемое АУ имеет  $n$  каналов, которые предназначены для обработки данных по  $k$  рабочим и  $r$  контрольным основаниям  $n = k + r$ . Один из подходов к решению проблемы повышения надежности АУ основан на перераспределении его каналов при отказах части рабочих или контрольных каналов. При этом под надежностью АУ понимается его свойство сохранять работоспособность при отказах каналов, возможно при снижении в допустимых пределах

некоторых показателей качества функционирования. Эта особенность позволяет реализовать АУ в СОК с постепенной деградацией [4, 5, 6]. Для построения отказоустойчивых процессоров СОК путем перераспределения обрабатываемых им данных необходимо реализовать метод проекций и сокращенную СОК. Основой метода проекций, используемого для обнаружения и исправления ошибок и сокращенной СОК, используемой при перераспределении данных в специализированном процессоре СОК при отказах каналов является КТО но не с фиксированными, а с изменяемыми в зависимости от значений и числа отказавших оснований СОК величинами ортогональных базисов:

$$X = \left| X = \left| \sum_{i=1}^n \alpha_i \mathbf{B}_i \right|_{\mathbf{P}^*} \right. \quad (3)$$

Установлено, что ортогональные базисы полной  $\mathbf{B}_i$  и сокращенной СОК  $\mathbf{B}_i^*$  сравнимы по модулю диапазона сокращенной системы остаточных классов  $\mathbf{P}^*$ . Поэтому для получения ортогональных базисов сокращенной СОК необходимо сократить ортогональные базисы полной СОК по модулю  $\mathbf{P}^*$ .

Метод пересчета значений ортогональных базисов, реализованный иерархической нейронной сетью, определяет алгоритм подстройки синоптических связей при отказах каналов непозиционного процессора. Это позволяет использовать для нахождения величин ортогональных базисов сокращенной СОК разработанные нейросетевые алгоритмы модулярной арифметики при вычислениях в конечных кольцах.

Процесс исключения отказавших модулей (каналов СОК) осуществляется путем подстройки весовых коэффициентов иерархической модульной НС. Отказавшему модулю присваивается вместо  $\mathbf{w}_i = \alpha_i$  значение  $\mathbf{w}_i = \mathbf{0}$ .

Отказоустойчивость в разработанной иерархической модульной НС, представленной на рис. 1, достигается на уровне функциональных блоков. Это позволит повысить отказоустойчивость вычислительных систем с массовым параллелизмом. Необходимо отметить, что задача реализации программы самотестирования и перераспределения обрабатываемых данных решается в нейросетевом логическом базисе, что немаловажно при переходе к специализированной элементной базе – СБИС - нейрочипам.

Таким образом, на основе нейросетевых алгоритмов, реализующих вычисления в конечных кольцах (полях Галуа), разработана структура нейронного алгоритма деградации модульной иерархической нейронной сети. Данная НС функционирует в системе остаточных классов и реализует функции отказоустойчивого непозиционного процессора.

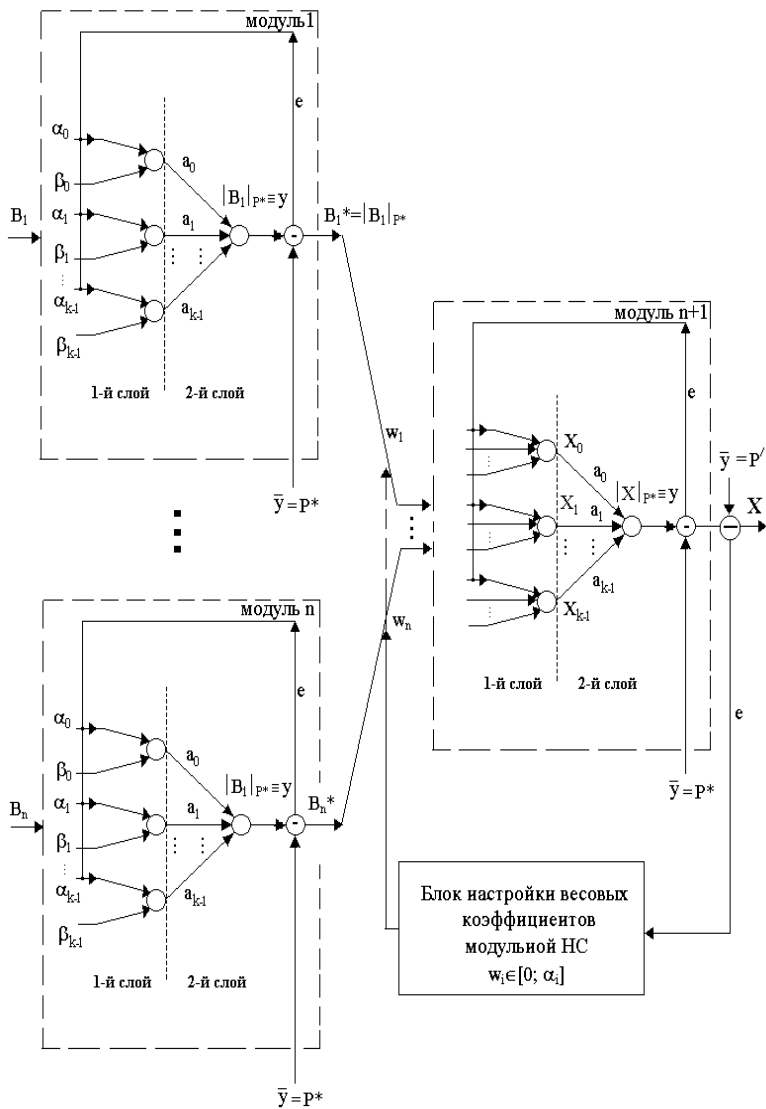


Рис. 1. Структура нейронного алгоритма деградации модульной иерархической нейронной сети, функционирующей в системе остаточных классов.

## ЛИТЕРАТУРА

1. Акушкин И.Я., Юдицкий Д.И. Машинная арифметика в остаточных классах. М.: Сов. Радио, 1968. – 440 с.

2. Червяков Н.И., Сахнюк П.А. Применение нейроматематики для реализации модулярной арифметики при вычислениях в конечных кольцах. – Нейрокомпьютер. 1999, № 1. С. 75 - 84.

3. Макклеллан Дж.Г., Рейдер Ч.М. Применение теории чисел в цифровой обработке сигналов: Пер. с англ./ Под ред. Ю.И. Манина. - М.: Радио и связь, 1983. - 264 с.

4. Амербаев В.М. Теоретические основы машинной арифметики. Алма-Ата: Наука, 1976. – 324 с.

5. Червяков Н.И., Швецов Н.И., Хлевной С.Н. Надежность и живучесть систем управления и связи, функционирующих в СОК. – СВВИУС, 1986.

6. Краснобаев В.А. Методы повышения надежности специализированных ЭВМ и средств связи. М.: МО СССР, 1990. – 172 с.