

УДК 519.813

И.Н. Колесник, В.А. Куланов

Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», Харьков

АНАЛИЗ АРХИТЕКТУР РЕКОНФИГУРИРУЕМЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Проанализированы особенности построения, область применения и основные характеристики современных реконфигурируемых вычислительных систем. Определены критерии для сравнения реконфигурируемых систем. Проведён сравнительный анализ существующих архитектур реконфигурируемых систем и платформ по этим параметрам. Проанализированы преимущества использования программируемых логических интегральных схем в качестве аппаратных блоков реконфигурируемых систем. Рассмотрено одно из перспективных направлений внедрения РВС, а именно облачные сервисы.

Ключевые слова: реконфигурируемая вычислительная система, архитектуры реконфигурируемых вычислительных систем, программируемая логика, ПЛИС, FPGА.

Введение

Широкое распространение информационных технологий в различных областях человеческой деятельности привело к большому разнообразию вычислительных платформ.

Способы реализации вычислительных систем варьируются от специализированных аппаратных вычислительных устройств, ориентированных на узкий круг задач, до архитектур на основе процессоров общего назначения, которые могут быть адаптированы к широкому диапазону приложений. Решением, обеспечивающим баланс между производительностью и гибкостью конечной системы, является использование реконфигурируемых вычислительных систем (РВС), в которых для решения поставленных задач используется возможность изменения архитектуры (алгоритма работы) вычислителя, в том числе в процессе работы (обработки данных).

Типовая реконфигурируемая вычислительная система состоит, как правило, из 2-х частей: постоянной (или «фиксированной») части и переменной части – реконфигурируемой подсистемы (РПС), которые можно объединять в различные конфигурации [1].

Разделение функциональных блоков в сочетании с гибкостью соединений между ними позволяет задействовать различные формы параллелизма при исполнении программного кода. По сравнению с программируемостью, предоставляемой архитектурой набора команд, программируемость, предоставляемая реконфигурируемой системой, позволяет внести существенные изменения в саму шину данных.

Следовательно, как и специализированные архитектуры, реконфигурируемые архитектуры тоже могут реализовать программно-зависимые вычислительные структуры, но без ущерба для гибкости.

Это свойство делает реконфигурируемые архитектуры многообещающим решением для преодоления разрыва между программируемостью архитектур набора команд и производительностью специализированных архитектур.

Целью статьи является проведение сравнительного анализа существующих архитектур реконфигурируемых вычислительных систем, оценка их основных характеристик, а также области применения. На основании сравнительного анализа делается вывод о преимуществах использования разных типов реконфигурируемых систем для определённого класса задач.

1. Классификация архитектур РВС

Реконфигурируемая вычислительная система (РВС) – это система, конфигурация которой может быть изменена после изготовления.

Основным компонентом РВС является программируемая аппаратная структура, которая может быть временно настроена на выполнение определённой программы или части программы. Такая структура состоит из набора функциональных блоков, соединений и интерфейса для взаимодействия с остальной системой (рис. 1) [2].

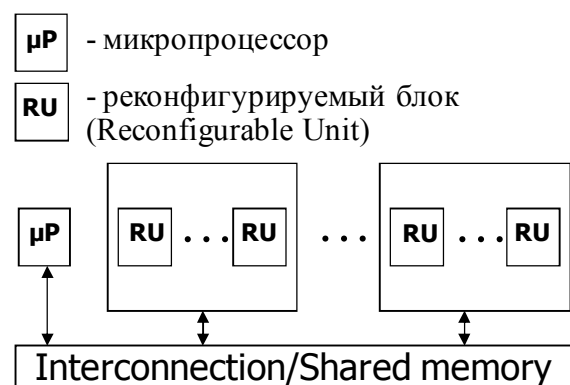


Рис. 1. Структура РВС

Архитектуры реконфигурируемых систем могут быть классифицированы:

- по способу совмещения с процессором общего назначения;
- по уровню детализации логических блоков;
- по типу соединения логических блоков;
- по типу соединения аппаратных блоков;
- по типу конфигурационной памяти.

Отметим, что программируемая логика не всегда может быть эффективной при реализации некоторых типов операций, например, циклы с изменяемым количеством итераций, команды перехода (условного, безусловного).

Для выполнения приложений в реконфигурируемой системе с максимальной эффективностью, области программы, которые не могут быть оптимально размещены на реконфигурируемой логике, исполняются центральным процессором (процессорным ядром).

В то же время, часть программного кода, который может получить преимущества от аппаратной реализации, размещается в реконфигурируемой структуре.

Для систем, использующих микропроцессор совместно с реконфигурируемой логикой, существует несколько способов организации вычислительных структур [3]:

- процессор может быть аппаратным (Hard-IP) или программным ядром (Soft-IP), реализованным при помощи ресурсов реконфигурируемой структуры;
- реконфигурируемое аппаратное обеспечение может быть использовано как функциональный модуль внутри хост-процессора. В этом случае для хранения входных и выходных операндов используются регистры процессора;
- реконфигурируемый модуль может быть использован как сопроцессор. В этом случае реконфигурируемый модуль выполняет вычисления независимо от основного процессора и возвращает результат после выполнения. Такой тип совмещения позволяет хост-процессору и реконфигурируемой логике работать параллельно;
- присоединённый реконфигурируемый вычислительный модуль ведёт себя как дополнительный процессор в многопроцессорной системе или как дополнительный вычислитель, к которому время от времени можно обращаться через внешний интерфейс ввода/вывода. Кэш данных хост-процессора недоступен присоединённому реконфигурируемому модулю. Следовательно, имеет место задержка связи между хост-процессором и реконфигурируемым модулем при передаче конфигурационной информации, входных данных и результатов. Такой тип реконфигурируемых систем обладает большой вычис-

лительной независимостью, перекладывая большую часть вычислений на реконфигурируемое оборудование;

- независимый внешний вычислительный модуль – наименее тесно связанный вид реконфигурируемого оборудования. Такой реконфигурируемый модуль нечасто взаимодействует с хост-процессором (если он существует). Такие системы ориентированы на выполнение задач моделирования.

Каждый из перечисленных способов совмещения имеет свои достоинства и недостатки. Чем выше интеграция реконфигурируемого модуля, тем чаще он может быть использован приложением с меньшими накладными расходами при взаимодействии. Однако такой вид оборудования не может работать долгое время без вмешательства хост-процессора, и объём реконфигурируемой логики часто сильно ограничен. Варианты с менее тесным совмещением сильнее задействуют параллелизм при выполнении программ, но требуют больших накладных расходов при взаимодействии. В приложениях, требующих постоянной коммуникации это может свести на нет любое ускорение, достигнутое таким типом реконфигурируемых систем.

Большинство реконфигурируемого оборудования основано на наборе вычислительных структур, повторяющихся в виде массива. Эти структуры, обычно называемые логическими блоками или ячейками, которые по сложности делятся на [4]:

- высокодетализированные – обеспечивают возможность манипуляций на уровне битов. Пример – таблицы подстановки (LUT – Look-Up-Table);
- среднетдетализированные – имеют возможность осуществлять более сложные операции над большим количеством входов. Примеры – АЛУ, умножители и т.д.;
- низкодетализированные – включают в себя АЛУ, память команд, счётчик команд и регистры. Пример – процессоры;
- неоднородные (гибридные), где логические блоки не одинаковы во всей структуре. Например, наличие отдельных блоков умножителей и блоков памяти.

Для соединения логических блоков используются ресурсы внутренних межсоединений. Они конфигурируемы, то есть путь прохождения сигнала определяется не при изготовлении, а при компиляции или при выполнении. Ресурсы маршрутизации занимают значительно большую часть пространства, чем ресурсы логики, причём с ростом объёма логики объём требуемых ресурсов маршрутизации растёт нелинейно.

Существует два основных типа соединений логических блоков [4]:

– сегментована маршрутизація – короткі лінії забезпечують локальне взаємодія; більш довгі лінії забезпечують ефективне проходження сигналу на більше відстані, минувши перемикач;

– ієрархічна маршрутизація – логічні блоки об'єднуються в кластери. Всередині кластера маршрутизація відбувається на локальному рівні. Більш довгі лінії з'єднують різні кластери разом. Це може повторюватися на кількох рівнях.

В системах з кількома фізичними блоками існує необхідність в ефективній схемі з'єднання між ними. Для цього існують різні типи з'єднань, засновані на двох базових схемах [4]:

– ячеїста схема – з'єднуються тільки найближчі блоки. Це призводить до ефективного зв'язку між ними, але вимагає проходження сигналу через інші блоки при необхідності зв'язку між віддаленими чіпами;

– перехрестна схема – для маршрутизації використовуються спеціальні чіпи, при цьому недоліком ячеїстої схеми відсутність, однак перехрестне з'єднання не просто масштабувати при збільшенні кількості фізичних блоків.

Реконфігурація системи відбувається шляхом перезаписування конфігураційної пам'яті апаратно реалізованих блоків, реалізуючих певний алгоритм. В цю пам'ять записуються дані, які називаються контекстом.

В контексті може бути одна або кілька конфігурацій [2].

Існують три типи конфігураційної пам'яті:

– одноконтекстна пам'ять – може зберігати один контекст і підтримує тільки послідовний доступ, тому будь-яке змінення конфігурації вимагає перезапису всієї контексту;

– мультиконтекстна пам'ять – на кожен програмований біт виділяється кілька біт пам'яті. Отже, в пам'яті може зберігатися одночасно кілька контекстів. Переключення між ними здійснюється дуже швидко і не вимагає реконфігурації.

– пам'ять з можливістю часткової реконфігурації – підтримує адресний доступ, що дозволяє виробляти виборчу реконфігурацію.

2. Аналіз архітектур PBC

Основні характеристики PBC з різними типами суміщення представлені в табл. 1. З таблиці видно, що з підвищенням інтеграції реконфігуруємого модуля зростає пропускна здатність шини пам'яті.

Найвища пропускна здатність у системи HP Chess, яка є реконфігуруємым функціональним модулем. Це пов'язано з тим, що в системах такого типу для зберігання даних використовуються внутрішні регістри процесора. Також слід відзначити невеликий об'єм виділеної пам'яті в системах з високою інтеграцією.

В табл. 2 наведено порівняльні характеристики відомих реконфігуруємых систем і платформ.

Більшість систем, які представляються реконфігуруємыми функціональними модулями і сопроцесорами, відносяться до спеціалізованих вичислювачів і призначені для роботи разом з певними типами мікропроцесорів, як загальних, так і спеціальних.

Системи з вбудованим процесорним ядром, реалізованим в реконфігуруємой структурі, є комерційними ПЛІС класу FPGA.

Ці пристрої є найбільш універсальними.

Таблиця 1

Характеристики PBC з різними типами суміщення

Модель	Спосіб суміщення	Швидкість передачі ЦП-пам'яті, МБ/с	Об'єм виділеної пам'яті	Рівень деталізації	Приклад задачі
Agility RC2000 [62]	Зовнішній вичислювальний модуль	528	152 МБ	Високодеталізований	Обробка відео
Morphosys [7]	Приєднаний вичислювальний модуль	800	2 КБ	Низкодеталізований	Стиснення відео
Pilchard [8]	Сопроцесор	1064	20 КБ	Високодеталізований	Криптографія
HP Chess [9]	Реконфігуруємый функціональний модуль	6400	12288 Б	Низкодеталізований	Мультимедіа застосування
Xilinx Virtex 7 [10]	Процесор реалізований в реконфігуруємой структурі	3590	1172 КБ	Середньодеталізований	Універсальна

Таблица 2

Характеристики компонентов РВС

Название	Способ совмещения	Уровень детализации	Объём памяти	Тип логического блока	Тип соединения логических блоков	Реализация	Пример решаемой задачи
Altera Arria 10 GX [11]	Процессор реализован в реконфигурируемой структуре	Среднедетализированный	8800 блоков по 20 Кб	8-входовой адаптивный логический блок	горизонтальные и вертикальные линии	Аппаратная (аппаратно-программная при использовании встроенного процессорного ядра)	Универсальная
Altera Stratix V GT [12]			2304 блока по 20 Кб				
Xilinx Artix 7 [13]			25 блоков по 36 Кб	6-входовая LUT			
Xilinx Virtex 7 [10]			795 блоков по 36 Кб				
Elixent D Series [14]	Реконфигурируемый функциональный модуль	Низкодетализированный	блоки 256x8	4-битное АЛУ	4-битные шины	Аппаратная	Мультимедиа, беспроводные сети и мобильные приложения
HP Chess [9]			12288 б, блоки 256x8	4-битное АЛУ, блок памяти 16x4, процессоры	горизонтальные и вертикальные 4-битные шины		Мультимедиа приложения
IMEC ADRES [15]			Небольшой регистровый файл в каждом ЛБ	32-битное АЛУ, регистровый файл	32-битные шины	Цифровая обработка сигналов	
Garp [16]	Сопроцессор	Высокодетализированный		Функции над 4-мя 2-битными словами	горизонтальные и вертикальные 2-битные шины	Программно-аппаратная	Ускорение обработки циклов
PipeRench [17]				Низкодетализированный	Внешняя		8-битное АЛУ
ARRIVE [18]		АЛУ	Аппаратная (расширение ядра ARMv4)		Цифровая обработка сигналов		
Actel ProASIC+ [19]		Высокодетализированный	блоки 256x9 бит	3-входовый блок	горизонтальные и вертикальные линии	Аппаратная	Универсальная
Pilchard [8]			20 КБ	Логические блоки используемого FPGA	Тип соединения используемого FPGA		
DReAM [20]	Присоединённый вычислительный модуль	Низкодетализированный	Внешняя	8-битное АЛУ, 2 блока 2-портовой памяти 16x8	16-битные локальные и глобальные шины	Аппаратная	Алгоритмы беспроводных сетей
MATRIX [21]			память выделяется из ЛБ	8-битное АЛУ, блок памяти 256x8, процессоры	иерархическая (2 уровня), горизонтальные и вертикальные шины		
Morphosys [7]			внешняя, 2 КБ	АЛУ, умножители			
Silicon Hive Avispa [22]			12 КБ в 5 встроенных блоках памяти	АЛУ, сдвигатели, аккумуляторы, умножители	16-битная шина	Аппаратная	Цифровая обработка сигналов
RaPiD [23]	Внешний вычислительный модуль	Неоднородный	встроенные блоки памяти	АЛУ	10 сегментированных шин	Программно-аппаратная	Распараллеливание задач
PicoArray [24]			Внешняя	16-битовые процессоры	горизонтальные и вертикальные 32-битные шины		Программная

Многие из систем, выполненных в качестве присоединённого или внешнего вычислительного модуля, также строятся на базе коммерческих FPGA. Такие системы являются IP-ядрами, предназначенными для использования в системах на кристалле.

3. ПЛИС как реконфигурируемая вычислительная платформа

Преимущества программируемой логики делают ПЛИС привлекательной платформой для построения реконфигурируемых вычислителей. ПЛИС класса FPGA способны многократно конфигурироваться средствами пользователя, что позволяет снизить затраты при внесении изменений в аппаратно реализованные алгоритмы. Возможность быстрой перенастройки проектных решений, а также ресурсоемкость и производительность этих устройств полностью раскрывается в высокопроизводительных вычислениях, формирующих основу реконфигурируемых вычислений.

Реконфигурируемые вычислительные системы используют ПЛИС класса FPGA или другое программируемое аппаратное обеспечение для ускорения выполнения алгоритмов путём осуществления высоконагруженных вычислений на реконфигурируемой структуре.

Эти аппаратные ресурсы часто совмещены с микропроцессором общего назначения, который отвечает за управление реконфигурируемой логикой и исполнение программного кода, который не может быть эффективно ускорен. Собственно программируемый массив может состоять из одного или нескольких коммерческих FPGA или из пользовательских устройств, спроектированных специально для реконфигурируемых вычислений.

Одним из самых перспективных направлений для внедрения PBC на ПЛИС является предоставление доступа к реконфигурируемым ресурсам через веб-сервисы.

При этом становится возможной интеграция реконфигурируемых вычислений и сервис-ориентированных приложений, что в синергии усиливает преимущества обеих технологий, а именно повышение производительности и снижение энергопотребления.

Для успешного внедрения реконфигурируемых систем, в т.ч. на основе ПЛИС, в среду облачных вычислений необходимо, во-первых, разработать и распространить специализированный высокоуровневый язык и среду разработки для задания алгоритмов и, во-вторых, разработать средства, которые позволяют быстро превратить заданный алгоритм в проект для ПЛИС или PBC [5]. Решение этих задач зависит, прежде всего, от выбора архитектуры конфигурируемого процессора.

Выводы

В статье рассмотрены существующие архитектуры реконфигурируемых систем. Выделены основные классификационные признаки PBC, а именно: способ совмещения с процессором, уровень детализации логических блоков, тип логических блоков, тип соединения логических блоков, способ реализации. Выполнен сравнительный анализ наиболее известных архитектур PBC по рассмотренным классификационным признакам.

Установлено, что применение реконфигурируемых функциональных модулей и сопроцессоров оправдано только в мультимедиа-приложениях и в задачах цифровой обработки сигналов. Круг задач для использования присоединённых и внешних вычислительных модулей шире, но их универсальность ограничена совместимостью только с определёнными типами микропроцессоров. Наиболее универсальными являются системы со встроенным процессорным ядром, которые строятся на базе ПЛИС класса FPGA.

В настоящее время большинство проектов PBC используют технологии FPGA. Это объясняется следующим:

- доступность и сравнительно невысокая стоимость коммерческих ПЛИС класса FPGA;
 - возможность частичной реконфигурации ПЛИС;
 - меньшая стоимость разработки и изготовления, чем у заказных микросхем и архитектур на базе АЛУ и процессоров;
 - сниженная длительность разработки, следовательно, меньше время вывода продукта на рынок;
 - независимость разработчиков системы от разработчиков интегральной схемы;
 - возможность моделирования вновь созданных архитектурных (проектных) решений стандартными средствами моделирования систем автоматизированного проектирования, в том числе с сочетанием натуральных экспериментов на макетных платах.
- Направлением дальнейших исследований является разработка реконфигурируемых вычислителей на базе ПЛИС класса FPGA с возможностью адаптации архитектур под определенный класс задач с заданными ограничениями: производительность, ресурсоемкость, энергопотребление (энергосбережение), стоимость.

Список литературы

1. Опанасенко В.Н. Высокопроизводительные реконфигурируемые компьютеры на базе FPGA / В.Н. Опанасенко // Проблемы інформатизації та управління, 2009. – 3(27).
2. Compton K. Reconfigurable Computing: A Survey of Systems and Software / K. Compton // ACM Computing Surveys. – June 2002. – Vol. 34, no. 2. – P. 171-210.

3. Todman T. *Reconfigurable computing: architectures and design methods* / T. Todman // *IEE Proc.-Comput. Digit. Tech.* – March 2005. – Vol. 152, no. 2.
4. Svensson H. *Reconfigurable Architectures for Embedded Systems* / H. Svensson. – Lund University, September 2008.
5. Вычужанин В.В. Развитие инфраструктурных решений для технологии облачных вычислений / В.В. Вычужанин // *Вісник ОНМУ.* – 2013. – № 2 (38).
6. Celoxica RC2000 Development and evaluation board data sheet, version 1.1 // Celoxica – 2004.
7. Singh H. *MorphoSys: an integrated reconfigurable system for data-parallel and compute intensive applications* / H. Singh, M.-H. Lee, G. Lu, F. Kurdahi, N. Bagherzadeh, E. Chaves // *IEEE Trans. Comput.* – 2000. – 49, (5). – P. 465-481.
8. Leong P. *Pilchard – a reconfigurable computing platform with memory slot interface* / P. Leong, M. Leong, O. Cheung, T. Tung, C. Kwok, M. Wong, K. Lee // *Proc. Symp. on Field-Programmable Custom Computing Machines*, IEEE Computer Society Press, 2001.
9. Marshall A. *A reconfigurable arithmetic array for multimedia applications* / A. Marshall, T. Stansfield, I. Kostarnov, J. Vuillemin, B. Hutchings // *ACM=SIGDA Int. Symp. on FPGAs.* – Feb 1999. – P. 135-143.
10. Xilinx, Inc., *Virtex-7 T and XT FPGAs Data Sheet*, March 6, 2015.
11. Altera Corp., *Arria 10 Core Fabric and General Purpose I/Os Handbook*, 2015.01.23.
12. Altera Corp., *Stratix V Device Datasheet*, November 2014.
13. Xilinx, Inc., *Artix-7 FPGAs Data Sheet*, November 19, 2014.
14. Panasonic, *DFA 1000 Accelerator Datasheet*, 2003.
15. Mei B. *ADRES: An architecture with tightly coupled VLIW processor and coarse-grained reconfigurable matrix* / B. Mei, S. Vernalde, D. Verkest, H. De Man, R. Lauwereins // *Lect. Notes Comput. Sci.*, 2003. – 2778.
16. Hauser J.R. *Garp: a MIPS processor with a reconfigurable processor* / J.R. Hauser, J. Wawrzynek // *IEEE Symp. on Field-Programmable Custom Computing Machines* (IEEE Computer Society Press, 1997).
17. Goldstein S.C. *PipeRench: a reconfigurable architecture and compiler* / S.C. Goldstein, H. Schmit, M. Budiu, S. Cadambi, M. Moe, R. Taylor // *Computer.* – 2000. – 33, (4). – P. 70-77.
18. Zabel M. *Design space exploration of coarse-grain reconfigurable DSPs* / M. Zabel, S. Kohler, M. Zimmerling, T. Preusser, R. Spallek // *Proceedings of International Conference on Reconfigurable Computing and FPGAs.* – 2005. – P. 15-22.
19. Actel Corp., *ProASIC Plus Family Flash FPGAs*, v3.5, April 2004.
20. Becker J. *A parallel dynamically reconfigurable architecture designed for flexible application-tailored hardware/software systems in future mobile communication* / J. Becker, M. Glesner // *Supercomput.* – 2001, 19, (1). – P. 105-127.
21. Mirsky E. *MATRIX: a reconfigurable computing architecture with configurable instruction distribution and deployable resources* / E. Mirsky, A. DeHon // *Proc. Symp. on Field-Programmable Custom Computing Machines* (IEEE Computer Society Press, 1996).
22. Silicon Hive: 'Avispa Block Accelerator'. Product Brief, 2003.
23. Ebeling C. *RaPiD – reconfigurable pipelined datapath* / C. Ebeling, D. Conquist, P. Franklin // *Lect. Notes Comput. Sci. Misc.* – 1996. – 1142.
24. Panesar G. *Deterministic parallel processing* / G. Panesar, D. Towner, A. Duller, A. Gray, W. Robbins // *International Journal of Parallel Programming.* – 2006. – Vol. 34, no. 4. – P. 323-341.

Поступила в редколлегию 15.05.2015

Рецензент: д-р техн. наук, проф. В.С. Харченко, Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», Харьков.

АНАЛІЗ АРХІТЕКТУР РЕКОНФІГУРУЄМИХ ОБЧИСЛЮВАЛЬНИХ СИСТЕМ

І.М. Колесник, В.О. Куланов

Проаналізовані особливості побудови, область застосування та основні характеристики сучасних реконфігурованих обчислювальних систем. Визначено критерії для порівняння реконфігурованих систем. Проведено порівняльний аналіз існуючих архітектур реконфігурованих систем та платформ за цими параметрами. Проаналізовано переваги використання програмованих логічних інтегральних схем в якості апаратних блоків реконфігурованих систем. Розглянуто один з перспективних напрямів впровадження РОС, а саме хмарні сервіси.

Ключові слова: реконфігурована обчислювальна система, архітектури реконфігурованих обчислювальних систем, логіка що програмується, ПЛІС, FPGA.

ANALYSIS OF ARCHITECTURES OF RECONFIGURABLE COMPUTING SYSTEMS

I.N. Kolesnyk, V.A. Kulanov

The features of architecture, the scope and the main characteristics of reconfigurable computing systems were analyzed. The criterias for comparing the reconfigurable systems were defined. The comparative analysis of the existing architectures of the reconfigurable systems and platforms by these parameters was performed. The advantages of programmable logic as hardware blocks of reconfigurable systems were considered. One of the promising areas of implementation of the reconfigurable systems, namely cloud services was considered.

Keywords: reconfigurable computing system, architecture of reconfigurable system, programmable logic, PLD, FPGA.