

УДК 004.942

О.Г. Мельник

Академія пожежної безпеки імені Героїв Чорнобиля МНС України, Черкаси

СХЕМОТЕХНІЧНІ ОСНОВИ РЕАЛІЗАЦІЇ СИСТЕМИ ЗАЛИШКОВИХ КЛАСІВ В ДВІЙКОВО-ЧЕТВІРКОВІЙ СИСТЕМІ ЧИСЛЕННЯ

У статті розглянуто системи числення, які гарантовано знаходять помилки. Розроблено схемотехнічні рішення, адаптовані до поєднання особливостей двійково-четвіркової системи числення та системи залишкових класів. Спрощено виконання деяких арифметичних операцій у двійково-четвіркової системі числення з постійною кількістю одиниць.

Ключові слова: система числення, двійково-четвіркова система числення, суматор, операція додавання, операція віднімання, операція множення.

Вступ

Актуальність проблеми. Основою розвитку інформатизації України є розвиток вітчизняної цифрової електронної промисловості, створення та впровадження сучасних технічних засобів збору, передачі, обробки та зберігання інформації.

Найбільш актуальною проблемою сучасної інформатики є підвищення швидкодії з мінімальним збільшенням складності апаратної реалізації.

Аналіз останніх досліджень. Питання підвищення швидкодії апаратної реалізації на основі введення інформаційної надлишковості розглядалися в роботах [1 – 5]. Проте розповсюдженню отриманих результатів на системи залишкових класів приділялася недостатня увага.

Формулювання мети статті (завдання). На основі сумісного аналізу позиційних систем числення контролюючих помилки та систем залишкових класів розробити схемотехнічні рішення, адаптовані до поєднання особливостей двійково-четвіркової системи числення та системи залишкових класів. Розробити типові модулі для побудови арифметичного пристрою які забезпечать реалізацію системи залишкових класів на таблично-апаратному рівні.

Виклад основного матеріалу

Серед систем числення, що гарантовано знаходять однократні помилки найбільший інтерес викликають системи числення з постійною кількістю одиниць. Будь-яке число X в позиційних системах числення може бути представлено у вигляді виразу [1].

$$X = \pm(x_{n-1}, x_{n-2}, \dots, x_1, x_0), \quad (1)$$

$$\text{де } X = \pm \sum_{i=0}^{n-1} x_i r^i, \quad 0 \leq x_i \leq r-1.$$

Подання даного числа у вигляді двійкових слів будемо називати двійково- r -ічною позиційною системою числення ($2r$).

Серед систем числення з постійною кількістю одиниць найбільший інтерес викликає двійково-

четвіркова система числення. За результатами моделювання вона збільшує апаратну складність реалізації в 1,42 рази в порівнянні з двійковою безнадлишковою системою числення при гарантованому виявленні всіх помилок непарної кратності [2].

Розрахунок вагових коефіцієнтів даної системи числення проводиться на основі виразу:

$$\begin{cases} b_{4n-3} = 0 \cdot 4^{n-1}; \\ b_{4n-2} = 1 \cdot 4^{n-1} \\ b_{4n-1} = 2 \cdot 4^{n-1}; \\ b_{4n} = 3 \cdot 4^{n-1}. \end{cases} \quad (2)$$

Контроль помилок в двійково-четвіркової системі числення з постійною кількістю одиниць буде здійснюватися:

$$\bar{F} = F_1 \cup F_2 \cup \dots \cup F_k \cup \dots \cup F_n, \quad k \in [1, n], \quad (3)$$

де

$$F_k = \overline{A_{4n} A_{4n-1} A_{4n-2} A_{4n-3}} \cup \overline{A_{4n} A_{4n-1} A_{4n-2} A_{4n-3}} \cup \overline{A_{4n} A_{4n-1} A_{4n-2} A_{4n-3}} \cup \overline{A_{4n} A_{4n-1} A_{4n-2} A_{4n-3}}.$$

Отримані результати розрахунку вірогідності виявлення і пропуску помилок в двійково-четвіркової системі числення з постійною кількістю одиниць свідчать про велику вірогідність виявлення помилок, при цьому дана система числення гарантовано виявляє всі помилки непарної кратності.

Так як двійково-четвіркова система числення з постійною кількістю одиниць володіє одномірним ваговим рядом, а також має велику вірогідність виявлення помилок при значній простоті пристрою контролю інформації, її можна вважати перспективною для перекодування системою залишкових класів.

Практичне впровадження двійково-четвіркової системи числення з постійною кількістю одиниць для використання в якості перекодування системи залишкових класів пов'язане з відсутністю схемотехнічних рішень, адаптованих до поєднання особливостей обох систем числення.

Розглянемо синтез функціональних вузлів комбінаційного типу на прикладі суматорів. Суматори є ядром схем арифметико-логічних пристроїв та характеризуються швидкістю та апаратною складністю. Рішення задачі підвищення швидкодії зазвичай пов'язано із збільшенням складності синтезованих пристроїв, що веде за собою зниження надійності. У зв'язку із цим необхідно вирішити наступні задачі: мінімізація складності, максимізація швидкодії, отримання необхідної швидкодії при мінімальній складності та максимальній надійності.

При проектуванні комбінаційних суматорів необхідно враховувати те, що схема має характеризуватися регулярністю (подібністю) структури та мінімальною вартістю, тобто мати по можливості найменшу кількість логічних входів всіх елементів [3].

Правила виконання операцій додавання для заданої двійково-четвірковій системі числення відповідно до (2) будуть визначатися:

$$\left\{ \begin{array}{l} b_{4n-3} + 0 = 0; \\ b_{4n-3} + b_{4n-3} = b_{4n-3}; \\ b_{4n-2} + 0 = b_{4n-2}; \\ b_{4n-2} + b_{4n-2} = b_{4n-1}; \\ b_{4n-1} + 0 = b_{4n-1}; \\ b_{4n-1} + b_{4n-1} = b_{4n-2} + P_{4n+1} \\ b_{4n} + 0 = b_{4n}; \\ b_{4n} + b_{4n} = b_{4n-3} + P_{4n+1}; \\ b_{4n-1} + b_{4n-2} = b_{4n}; \\ b_{4n} + b_{4n-1} = b_{4n-2} + P_{4n+1}; \\ b_{4n} + b_{4n-2} = b_{4n-3} + P_{4n+1}. \end{array} \right. \quad (4)$$

Розглянутий суматор (рис. 1) забезпечує виконання додавання чотирьох розрядів числа в двійково-четвірковій системі числення на 20 % швидше, так як в ньому відсутні інвертори в другій групі елементів I.

Двійково-четвіркова система числення з постійною кількістю одиниць дозволяє спростити виконання деяких арифметичних операцій [4, 5].

Відомі пристрої для множення коду числа на два в двійково-вісімковій системі числення [4], для множення коду числа на три в двійково-вісімковій системі числення для множення коду числа на чотири в двійково-вісімковій системі числення [5], для множення коду числа на два в двійково-четвірковій системі числення. Основним недоліком даних пристроїв є те, що їх впровадження пов'язане з необхідністю доопрацювання результату виконання операції, щоб привести його до структури коду з постійною кількістю одиниць.

Розглянемо шляхи усунення даного недоліку.

Модель пристрою множення на два:

$$\begin{aligned} P_{4n+1} &= A_{4n} \cup A_{4n-1}; \\ A_{4n}^{*2} &= A_{4n} P_{4n} \cup A_{4n-1} P_{4n}; \end{aligned}$$

$$\begin{aligned} A_{4n-1}^{*2} &= A_{4n} \bar{P}_{4n} \cup A_{4n-1} \bar{P}_{4n}; \\ A_{4n-2}^{*2} &= \bar{A}_{4n} \bar{A}_{4n} P_{4n}; \\ A_{4n-2}^{*2} &= \bar{A}_{4n} \bar{A}_{4n} \bar{P}_{4n}. \end{aligned} \quad (5)$$

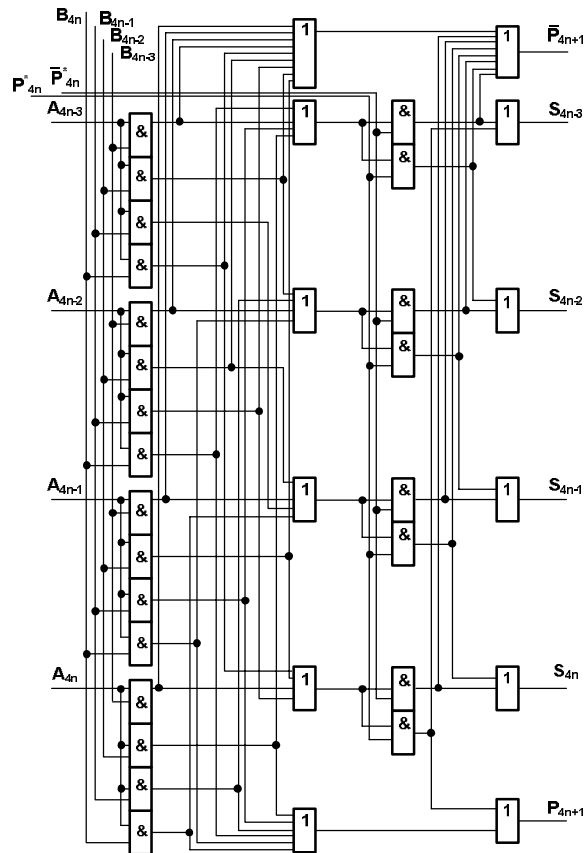


Рис. 1. Функціональна схема суматора для двійково-четвірковій системі числення з обробкою сигналів переносу в парафазному коді

Модель пристрою множення на три:

$$\left\{ \begin{array}{l} P_{4n+1}^2 = A_{4n-1} P_{4n}^2; \\ P_{4n+1}^1 = A_{4n-2} P_{4n}^2 \cup A_{4n-1} \bar{P}_{4n}^2; \\ A_{4n} = A_{4n-1} P_{4n}^1 \cup A_{4n} P_{4n}^2 \cup A_{4n-2} \bar{P}_{4n}^1 \bar{P}_{4n}^2; \\ A_{4n-1} = P_{4n}^1 P_{4n}^2 \cup A_{4n} P_{4n}^1 \cup A_{4n-1} \bar{P}_{4n}^1 \bar{P}_{4n}^2; \\ A_{4n-2} = A_{4n-2} P_{4n}^2 \cup A_{4n-3} P_{4n}^1 \cup A_{4n} \bar{P}_{4n}^1 \bar{P}_{4n}^2; \\ A_{4n-3} = A_{4n-1} P_{4n}^2 \cup A_{4n-2} P_{4n}^1 \cup \bar{A}_{4n-3} \bar{P}_{4n}^1 \bar{P}_{4n}^2. \end{array} \right. \quad (6)$$

Операція додавання в двійково-четвірковій системі числення по основі два буде виконуватися на основі дискретної моделі:

$$\begin{aligned} S_1^c &= A_1 \bar{B}_1 \cup \bar{A}_1 B_1; \\ S_0^c &= A_1 B_1 \cup A_0 B_0. \end{aligned} \quad (7)$$

Операція віднімання в двійково-четвірковій системі числення по основі два буде виконуватися на основі дискретної моделі:

$$\begin{aligned} S_1^b &= A_1 \bar{B}_1 \cup \bar{A}_1 B_1; \\ S_0^b &= A_1 B_1 \cup A_0 B_0. \end{aligned} \quad (8)$$

Операція множення в двійково-четвірковій системі числення по основі два буде виконуватися на основі дискретної моделі:

$$\begin{aligned} S_1^m &= A_1 \bar{B}_1; \\ S_0^m &= A_0 \cup B_1, \end{aligned} \quad (9)$$

де S_1^m і S_0^m – перший і нульовий розряди результату виконання операції множення.

Операція додавання в двійково-четвірковій системі числення по основі три буде виконуватися на основі дискретної моделі:

$$\begin{aligned} S_2^c &= A_1 B_1 \cup A_0 B_2 \cup A_2 B_0; \\ S_1^c &= A_2 B_2 \cup A_0 B_1 \cup A_1 B_0; \\ S_0^c &= A_0 B_0 \cup A_1 B_2 \cup A_2 B_1. \end{aligned} \quad (10)$$

Операція віднімання в двійково-четвірковій системі числення по основі три буде виконуватися на основі дискретної моделі:

$$\begin{aligned} S_2^b &= A_2 B_0 \cup A_0 B_2 \\ S_1^b &= A_1 \bar{B}_1 \cup \bar{A}_1 B_1 = \\ &= A_1 B_2 \cup A_2 B_1 \cup A_1 B_0 \cup A_0 B_1; \\ S_0^b &= A_1 B_1 \cup A_0 B_0, \end{aligned} \quad (11)$$

де S_2^b , S_1^b і S_0^b – другий, перший і нульовий розряди результату виконання операції віднімання по основі три відповідно.

Операція множення в двійково-четвірковій системі числення по основі три буде виконуватися на основі дискретної моделі:

$$\begin{aligned} S_2^m &= A_1 B_2 \cup A_2 B_1; \\ S_1^m &= A_1 B_1 \cup A_2 B_2; \\ S_0^m &= A_0 \cup B_0, \end{aligned} \quad (12)$$

де S_2^m , S_1^m і S_0^m – другий, перший і нульовий розряди результату виконання операції множення по основі три.

ВИСНОВКИ

Завдяки проведеним дослідженням, набули подальшого розвитку методи синтезу системи числення на основі системи залишкових класів шляхом використання позиційних надлишкових систем числення.

Отримали подальший розвиток методи синтезу дискретних пристроїв на основі систем числення з постійною кількістю одиниць шляхом поетапної мінімізації.

Список літератури

1. Верлань А.Ф. Вычислительные процессы в системах управления и моделирования / А.Ф. Верлань, И.Е. Ефимов, А.В. Латышев. – Ленинград: Судостроение, 1981. – 248 с.
2. Рудницький В.Н. Выбор оптимальных избыточных кодов для специализированных вычислителей / В.Н. Рудницький, Н.Л. Казаринова, Н.Н. Пантелеева // Моделирование та інформаційні технології. Збірник наукових праць ІПМЕ НАНУ. – К.: ІПМЕ НАНУ, 2003. – Вып. 24. – С. 93–98.
3. Рудницький В. М. Моделирование сумматоров с взаимокompенсацией переносов / В.М. Рудницький, С.В. Беседина // Проблемы информатики та моделювання: восьма міжнародна науково-технічна конференція: збірник наукових праць Харківського університету Повітряних Сил. – Х.: Харківський університет Повітряних Сил імені Івана Кожедуба, 2008. – Вып. № 3 (18). – С. 187.
4. Патент 8202, Україна. Н03М 13/00. Пристрій для множення коду числа на два в двійково-вісімковій системі числення / В.М. Рудницький, Н.М. Пантелеєва, О.В. Нечипоренко; Заявл. 10.02.2005; Опубл. 15.07.2005. Бюл. № 7. – 4 с.
5. Патент 13533, Україна. Н03М 13/00. Пристрій для множення коду числа на чотири в двійково-вісімковій системі числення / В.М. Рудницький, С.В. Беседина, В.В. Веретельник; Заявл. 14.07.2005; Опубл. 17.04.2006. Бюл. № 4. – 4 с.

Надійшла до редколегії 24.10.2011

Рецензент: д-р техн. наук, проф. І.В. Шостак, Національний аерокосмічний університет ім. М.Є. Жуковського «ХАІ», Харків.

СХЕМОТЕХНИЧЕСКИЕ ОСНОВЫ РЕАЛИЗАЦИИ СИСТЕМЫ ОСТАТОЧНЫХ КЛАССОВ В ДВОИЧНО-ЧЕТВЕРИЧНОЙ СИСТЕМЕ СЧИСЛЕНИЯ

О.Г. Мельник

В статье рассмотрены системы счисления, которые гарантированно находят ошибки. Разработаны схемотехнические решения, адаптированные к сочетанию особенностей двоично-четверичной системы счисления и системы остаточных классов. Упрощенно выполнение некоторых арифметических операций в двоично-четверичной системе счисления с постоянным количеством единиц.

Ключевые слова: система счисления, двоично-четверичная система счисления, сумматор, операция сложения, операция вычитания, операция умножения.

THE BASIS CIRCUIT TECHNOLOGY OF THE SYSTEM OF REMAINING CLASSES REALIZATION IN BINARY QUADED SYSTEM CALCULATION

O.G. Melnyk

In the article the systems are considered numbering which find errors assuredly. The circuit technology decisions, adapted to combination of features of the binary quadded number and system of remaining classes system, are developed. simplified implementation of some arithmetic operations in the binary quadded number with the permanent amount of units system.

Keywords: number system, binary quadded number system, summator, operation of addition, operation of deduction, operation of increase.